

様式2(学融合レクチャーシラバス)	記載欄 ※申請時は日本語のみの記載で構いません。
No	
履修年度	2017
開始時期	2017年10月頃
開講機関	核融合科学専攻(核融合科学研究所 土岐キャンパス)
科目番号	30PCS101
科目名称	学融合レクチャー
研究科・専攻・教育プログラム	総合教育科目プログラム
授業名	基礎デジタル計測制御演習
Lecture title	Basic digital circuit design and development for measurement and control systems
単位数	1
Credit	1
担当教員	* 中西秀哉(物理科学研究科・核融合科学専攻・准教授) 内田智久(高エネルギー加速器科学研究科・素粒子原子核専攻・准教授)
Instructors	- A. Prof. H. Nakanishi (Dept. of Fusion Science) - A. Prof. T. Uchida (Dept. of Particle and Nuclear Physics)
授業概要	計測制御システムを構築するための基本的なデジタル回路設計技術を学び、それを講師の前で実践し、講師とのインタラクティブなやり取りの中で講義内容を効果的に身につけ、研究現場で応用出来るようにする。本講義は"センシング・コントロール・アナリシスを軸とした科学と技術の進化・分野融合をめざしたプラットフォーム構築統合教育プログラム"のStep2として開講し、修了認定を受けた学生には修了証を発行する。
Abstract	Learn the basic digital circuit design technology for developing measurement control systems applied in actual experimental researches. Interactive instructions through the lecture practices effectively help the trainee acquiring adequate knowledges and skills. This lecture is offered as the second step of "Integrated Platform Building Education Program aimed at evolution and field integration of science and technology centered on sensing and control analysis", and will issue the certificate of completion.
教育目標・目的	Field Programmable Gate Array (FPGA) 設計をベースにして、実験に必要な計測制御システム開発に必要なデジタル集積回路設計技術を習得する。本講義は分野横断型教育プログラムの専門技術講習として、受講者による実践的開発の技能獲得を指導します。
Learning outcome and objectives	Acquire practical FPGA design and programming skills which will be necessary for developing measurement and control systems for experimental researches.
成績評価	* 事前学習・準備 10% * 演習での活動 50% * レポート 40%
Grading policy and criteria	Preparations (10%), completion of practice problems (50%), report (40%)
授業計画	1日目 9:30-9:40 全体概要 9:40-10:30 予習内容の確認(50分) 10:30-11:00【組み合わせ回路】Verilog-HDL記述(30分) 11:00-11:30【組み合わせ回路】RTL解析(30分) 11:30-12:30 昼休み(60分) 12:30-14:00【組み合わせ回路】Xilinx社Vivadoを用いた論理シミュレーション(80分) 14:00-14:15 休憩(15分) 14:15-15:15【組み合わせ回路】Xilinx社Vivadoを用いたFPGAへの実装(60分) 15:15-15:30 休憩(15分) 15:30-17:30【組み合わせ回路】設計演習C1(120分) 2日目 9:30-10:00【順序回路】Verilog-HDL記述(30分) 10:00-10:30【順序回路】Xilinx社Vivadoを用いた論理シミュレーション(30分) 10:30-10:45 休憩(15分) 10:45-11:30【順序回路】Xilinx社Vivadoを用いたFPGAへの実装(45分) 11:30-12:30 昼休み(60分) 12:30-13:30【順序回路】設計演習S1(60分) 13:30-13:45 休憩(15分) 13:45-14:15 階層構造設計(30分) 14:15-15:15 IPの使い方(60分) 15:15-15:30 休憩(15分) 15:30-17:30 設計演習(質疑応答、議論含む)(120分)
Schedule	October 2017 (TBD)
実施場所	核融合科学専攻(核融合科学研究所)
Location	Dept. of Fusion Science, Toki campus
使用言語	日本語
Language	Japanese
備考	* 事前課題 予習テキスト(WEBダウンロード)を指定するので受講前に内容を理解しておくこと。 * 参加要件(事前準備等) ノートPCと筆記具を各自持参してください。 ※ノートPCなしで参加すると聴講のみで実習が行えません(予備PCはありません)。 前もってノートPCに Xilinx社Vivado WebPack ツールをインストールしておくこと。 ※Vivadoが動作すれば、デュアルブート、仮想マシン(Mac上)等は問いません。 詳細なインストール要件その他は Xilinx社のWebページをご覧ください。 * 実習機材等 実習で使用するFPGA評価ボードは、Xilinx社Artix-7シリーズの Digilent社Nexys4 です。 使用言語(HDL)は Verilog-HDL、開発ツールは Xilinx社Vivado WebPACK です。 実習で使用するFPGA評価ボードは期間中、各1台貸し出します(持参不要)。 * 上記に関する詳細情報(ソフトウェアのバージョン情報等)は参加案内にて提示するためその内容に従うこと。 * キーワード 計測制御システム開発、デジタル集積回路、FPGA、 Xilinx Artix-7、Digilent Nexys4、Vivado WebPack、Verilog-HDL
Remarks	
対象年次	1, 2, 3, 4, 5
教科書・参考図書	* 受講用テキスト、予習テキスト 授業前に資料を(WEBダウンロード)指定するので、各自印刷して持参すること(受講用テキストは事前に読む必要はありません)。受講者には約一週間前に改めて指示します。
Text and suggested readings	handouts